

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-083309

(43)Date of publication of application : 31.03.1998

(51)Int.Cl. G06F 9/445  
G06F 9/06

(21)Application number : 09-095879

(71)Applicant : SONY CORP

(22)Date of filing : 14.04.1997

(72)Inventor : TAMORI HIROBUMI  
HIRAOKA DAISUKE  
ENOKI KOJI

(30)Priority

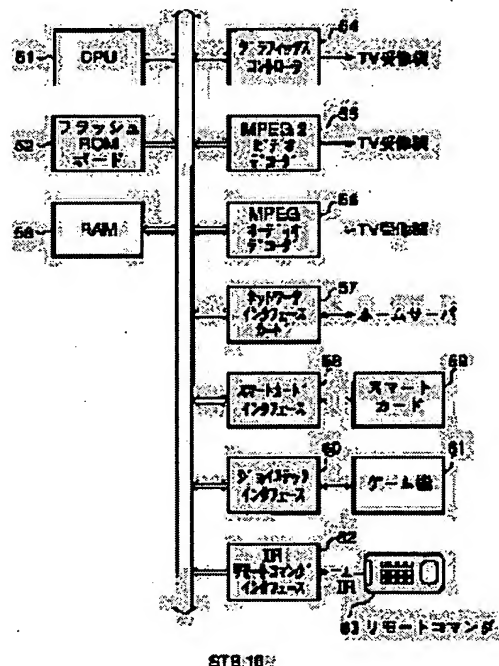
Priority number : 08102204 Priority date : 24.04.1996 Priority country : JP

## (54) INFORMATION PROCESSOR, PROGRAM UPDATING METHOD AND INFORMATION PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To update BIOS(basic input/output system) after storing original BIOS in a prescribed storing area.

SOLUTION: BIOS stored in the bank A of the flash ROM of a flash ROM board 52 is moved to a bank B, and new BIOS supplied for a network interface card 57 from a home server is stored in the bank A to update BIOS. When new BIOS does not operate satisfactorily, BIOS in the bank B of flash ROM is moved to the bank A through RAM 53 to recover original BIOS.



## LEGAL STATUS

[Date of request for examination]

23.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-83309

(43) 公開日 平成10年(1998) 3月31日

| (51) Int.Cl. <sup>5</sup> | 識別記号  | 庁内整理番号 | F I          | 技術表示箇所  |
|---------------------------|-------|--------|--------------|---------|
| G 0 6 F 9/445             |       |        | G 0 6 F 9/06 | 4 2 0 M |
| 9/06                      | 5 4 0 |        |              | 5 4 0 M |

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平9-95879

(22) 出願日 平成9年(1997) 4月14日

(31) 優先権主張番号 特願平8-102204

(32) 優先日 平8(1996) 4月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田守 寛文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 平岡 大輔

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 榎 弘二

東京都品川区北品川6丁目7番35号 ソニー株式会社内

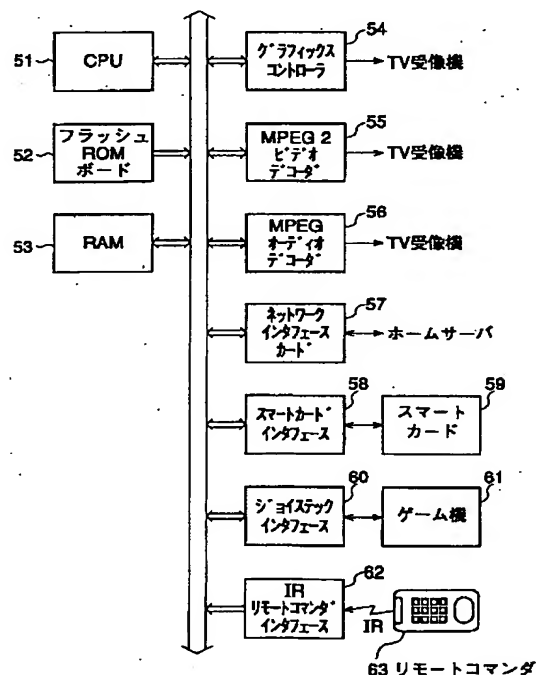
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 情報処理装置、プログラム更新方法、および、情報処理システム

## (57) 【要約】

【課題】 元のBIOSを所定の記憶領域に記憶した後、BIOSの更新を行う。

【解決手段】 フラッシュROMボード52のフラッシュROMのバンクAに記憶されているBIOSをバンクBに移動し、ホームサーバからネットワークインタフェースカード57に供給された新しいBIOSをバンクAに記憶させて、BIOSの更新を行う。新しいBIOSが良好に動作しない場合、フラッシュROMのバンクBのBIOSを、RAM53を介してバンクAに移動することにより、元のBIOSを復帰させることができる。



**【特許請求の範囲】**

【請求項1】 現行の基本プログラムが記憶保持される主領域、前記基本プログラムを更新するための手順を示す更新プログラムが記憶保持される共通領域、および、更新前の基本プログラムが記憶保持される予備領域を有する記憶手段と、

前記記憶手段の共通領域に格納された更新プログラムに基づいて、前記主領域から読み出した現行の基本プログラムを前記予備領域に複写した後に、新たな基本プログラムを前記主領域へ書き込む更新処理を行う処理手段とを備えることを特徴とする情報処理装置。

【請求項2】 前記基本プログラムは、ハードウェアに依存する制御プログラム群であるBIOSであることを特徴とする請求項1に記載の情報処理装置。

【請求項3】 所定の伝送チャンネルを介して供給される情報を受信する受信手段をさらに備え、前記受信手段は、前記伝送チャンネルから、前記情報として、新たな基本プログラムを受信し、前記処理手段は、前記記憶手段の共通領域に格納された更新プログラムに基づいて、前記記憶手段の主領域から読み出した現行の基本プログラムを前記記憶手段の予備領域に複写した後に、前記受信手段によって受信された新たな基本プログラムを前記記憶手段の主領域へ書き込んで更新処理を行うことを特徴とする請求項1に記載の情報処理装置。

【請求項4】 前記受信手段は、前記伝送チャンネルから、ビデオオンデマンドサービスに関する情報を受信することを特徴とする請求項3に記載の情報処理装置。

【請求項5】 前記記憶手段は、電氣的に消去可能で、かつ書き換え可能な半導体記憶素子であるEEPROMで構成されていることを特徴とする請求項1に記載の情報処理装置。

【請求項6】 前記記憶手段の主領域および予備領域は、別個のバンクとして、同一論理アドレス空間に割り当てられ、バンク切換によって一方のバンクが択一的に選択されてアドレスされることを特徴とする請求項5に記載の情報処理装置。

【請求項7】 記憶部の共通領域に記憶保持された更新プログラムに基づいて、前記記憶部の主領域に記憶保持された現行の基本プログラムを、新たな基本プログラムに更新するプログラム更新方法であって、前記主領域から読み出した現行の基本プログラムを前記記憶部の予備領域へ複写するステップと、前記更新プログラムに基づいて、新たな基本プログラムを前記主領域に書き込む更新処理を行うステップとを備えることを特徴とするプログラム更新方法。

【請求項8】 記憶部の共通領域に記憶保持された更新プログラムに基づいて、前記記憶部の主領域に記憶保持された現行の基本プログラムを、新たな基本プログラムに更新するプログラム更新方法であって、

前記主領域から読み出した現行の基本プログラムを一時記憶領域へ退避するステップと、

前記一時記憶領域に退避した現行の基本プログラムを、前記記憶部の予備領域へ書き込むステップと、

前記一時記憶領域に退避した現行の基本プログラムと、前記記憶部の予備領域に書き込んだ現行の基本プログラムとを照合するステップと、

外部から供給された新たな基本プログラムを前記一時記憶領域に書き込んだ後、この新たな基本プログラムを前記記憶部の主領域へ書き込むステップと、

前記一時記憶領域に書き込んだ新たな基本プログラムと、前記記憶部の主領域に書き込んだ新たな基本プログラムとを照合するステップとを備えることを特徴とするプログラム更新方法。

【請求項9】 所定の伝送チャンネルを介して情報を提供する情報提供手段と、

記憶部の共通領域に格納された更新プログラムに基づいて、前記記憶部の主領域から読み出した現行の基本プログラムを前記記憶部の予備領域に複写した後に、前記伝送チャンネルを介して供給された新たな基本プログラムを前記記憶部の主領域へ書き込んで更新処理を行う情報処理手段とを備えることを特徴とする情報処理システム。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は情報処理装置、プログラム更新方法、および、情報処理システムに関し、特に、BIOS等のプログラムをネットワーク経由で更新するのに好適な情報処理装置、プログラム更新方法、および、情報処理システムに関する。

**【0002】**

【従来の技術】最近、インターネットに代表されるネットワークが発達し、パーソナルコンピュータなどをネットワークに接続して、各種の情報を授受することができるようになってきた。

【0003】このような、インターネットに対する接続は、アナログ電話回線、ISDN(Integrated Services Digital Network)といった通信回線を介して行うことが可能である。また、最近では、ケーブルテレビジョン(CATV)システムのケーブルを介して、インターネットなどのネットワークにアクセスすることができるようになってきた。

【0004】このように、インターネットなどのネットワークにアクセスする場合、所定の通信回線を介して送信および受信を行う送受信回路を有する情報処理装置が使用される。

【0005】図18は、そのような情報処理装置の一例を示している。この情報処理装置は、モデム105を利用し、アナログ電話回線を介して送信および受信を行うことができる。CPU101は、フラッシュROM(F

EEPROM(Flash Electrical Erasable Programmable ROM)以下、単にフラッシュROMと略称する)102に記憶されているプログラムに従って、各種の処理を実行する。RAM103には、CPU101が各種の処理を実行する上において必要なデータなどが、適宜記憶される。CPU101は、モデム105を利用して、アナログ電話回線を介して送信されてくるデータを受信する。そして、CPU101は、そのデータを処理し、例えば、ディスプレイインタフェース106を介して、受信した画像データをディスプレイ(図示せず)に表示させる。

【0006】フラッシュROM102には、モデム105を介して供給されたデータを処理するためのプログラムの他、装置の起動時にCPU101によって実行され、RAM103の構成の設定や、フロッピーディスクドライブ104の初期設定などを行う基本プログラム(ハードウェアに依存する制御プログラム群)であるBIOS(Basic Input/Output System)が記憶されている。フラッシュROM102は、電氣的に書き換え(消去と書込)が可能な不揮発性のメモリであり、その記憶内容を変更することができる。このように書き換えが可能であるフラッシュROM102を利用することにより、本装置に接続する他の装置の仕様が変更されたときや、本装置のOS(Operating System)が更新されたときなど、それらの更新に対応してBIOSを更新することができる。

【0007】この情報処理装置においてBIOSを更新する場合、最初に、所定のBIOS更新用プログラムを動作させ、フラッシュROM102に記憶されているBIOSを、フロッピーディスクドライブ104でフロッピーディスクに記録した後、そのフロッピーディスクを抜き取り、新しいBIOSが記録されている他のフロッピーディスクをフロッピーディスクドライブ104に挿入し、その新しいBIOSをフロッピーディスクから読み出してフラッシュROM102に記憶させる。

【0008】このように、元のBIOSをフロッピーディスクに記録することにより、BIOSの更新に失敗した場合、新しいBIOSを記録しているフロッピーディスクに欠陥があり、新しいBIOSを読み込むことができない場合、あるいは、新しいBIOSのプログラム自体に欠陥(バグ)があり、正常に動作しない場合などにおいて、元のBIOSを復帰させることができる。

【0009】

【発明が解決しようとする課題】しかしながら、CATVシステムのケーブルを介して、インターネットなどのネットワークにアクセスする場合に使用されるセットトップボックス(STB)のようにフロッピーディスクドライブを有していない情報処理装置においては、例えば、所定の接続端子を設け、その端子に他の端末装置を接続し、その端末装置に元のBIOSを保存させた後、

BIOSの更新を行うので、BIOSの更新時の操作が煩雑であるという問題を有している。

【0010】本発明はこのような状況に鑑みてなされたものであり、元のBIOSを予備の記憶領域に退避した後に、BIOSの更新を行うことにより、BIOSの書き込みに失敗が生じた場合でも、即座に元の状態に復帰させることが可能で、操作の手違い等により、元のBIOSを失ってしまう事態を未然に防止することができるようにするものである。

【0011】

【課題を解決するための手段】請求項1に記載の情報処理装置は、現行の基本プログラムが記憶保持される主領域、基本プログラムを更新するための手順を示す更新プログラムが記憶保持される共通領域、および、更新前の基本プログラムが記憶保持される予備領域を有する記憶手段と、記憶手段の共通領域に格納された更新プログラムに基づいて、主領域から読み出した現行の基本プログラムを予備領域に複写した後に、新たな基本プログラムを主領域へ書き込む更新処理を行う処理手段とを備えることを特徴とする。

【0012】請求項7に記載のプログラム更新方法は、記憶部の共通領域に記憶保持された更新プログラムに基づいて、記憶部の主領域に記憶保持された現行の基本プログラムを、新たな基本プログラムに更新するプログラム更新方法であって、主領域から読み出した現行の基本プログラムを記憶部の予備領域へ複写するステップと、更新プログラムに基づいて、新たな基本プログラムを主領域に書き込む更新処理を行うステップとを備えることを特徴とする。

【0013】請求項8に記載のプログラム更新方法は、記憶部の共通領域に記憶保持された更新プログラムに基づいて、記憶部の主領域に記憶保持された現行の基本プログラムを、新たな基本プログラムに更新するプログラム更新方法であって、主領域から読み出した現行の基本プログラムを一時記憶領域へ退避するステップと、一時記憶領域に退避した現行の基本プログラムを、記憶部の予備領域へ書き込むステップと、一時記憶領域に退避した現行の基本プログラムと、記憶部の予備領域に書き込んだ現行の基本プログラムとを照合するステップと、外部から供給された新たな基本プログラムを一時記憶領域に書き込んだ後、この新たな基本プログラムを記憶部の主領域へ書き込むステップと、一時記憶領域に書き込んだ新たな基本プログラムと、記憶部の主領域に書き込んだ新たな基本プログラムとを照合するステップとを備えることを特徴とする。

【0014】請求項9に記載の情報処理システムは、所定の伝送チャンネルを介して情報を提供する情報提供手段と、記憶部の共通領域に格納された更新プログラムに基づいて、記憶部の主領域から読み出した現行の基本プログラムを記憶部の予備領域に複写した後に、伝送チャ

ンネルを介して供給された新たな基本プログラムを記憶部の主領域へ書き込んで更新処理を行う情報処理手段とを備えることを特徴とする。

【0015】請求項1に記載の情報処理装置においては、記憶手段が、現行の基本プログラムが記憶保持される主領域、基本プログラムを更新するための手順を示す更新プログラムが記憶保持される共通領域、および、更新前の基本プログラムが記憶保持される予備領域を有し、処理手段が、記憶手段の共通領域に格納された更新プログラムに基づいて、主領域から読み出した現行の基本プログラムを予備領域に複写した後に、新たな基本プログラムを主領域へ書き込む更新処理を行う。

【0016】請求項7に記載のプログラム更新方法においては、記憶部の共通領域に記憶保持された更新プログラムに基づいて、記憶部の主領域に記憶保持された現行の基本プログラムを、新たな基本プログラムに更新するプログラム更新方法であって、主領域から読み出した現行の基本プログラムを記憶部の予備領域へ複写するステップと、更新プログラムに基づいて、新たな基本プログラムを主領域に書き込む更新処理を行うステップとを備える。

【0017】請求項8に記載のプログラム更新方法においては、記憶部の共通領域に記憶保持された更新プログラムに基づいて、記憶部の主領域に記憶保持された現行の基本プログラムを、新たな基本プログラムに更新するプログラム更新方法であって、主領域から読み出した現行の基本プログラムを一時記憶領域へ退避するステップと、一時記憶領域に退避した現行の基本プログラムを、記憶部の予備領域へ書き込むステップと、一時記憶領域に退避した現行の基本プログラムと、記憶部の予備領域に書き込んだ現行の基本プログラムとを照合するステップと、外部から供給された新たな基本プログラムを一時記憶領域に書き込んだ後、この新たな基本プログラムを記憶部の主領域へ書き込むステップと、一時記憶領域に書き込んだ新たな基本プログラムと、記憶部の主領域に書き込んだ新たな基本プログラムとを照合するステップとを備える。

【0018】請求項9に記載の情報処理システムにおいては、情報処理手段が、所定の伝送チャンネルを介して情報を提供し、情報処理手段が、記憶部の共通領域に格納された更新プログラムに基づいて、記憶部の主領域から読み出した現行の基本プログラムを記憶部の予備領域に複写した後に、伝送チャンネルを介して供給された新たな基本プログラムを記憶部の主領域へ書き込んで更新処理を行う。

【0019】

【発明の実施の形態】図1は、本発明を適用した情報処理システムの一実施の形態の構成例を示す図である。なお、本明細書において、システムの用語は、複数の装置で構成される全体的な装置を表すものとする。

【0020】サーバ1-1、1-2（情報提供手段）

は、主に、画像とそれに対応する音声あるいはデータなどからなるVOD（ビデオオンデマンドサービス）に関する情報を、各家庭にネットワークを介して提供している。ネットワークとしては、この実施の形態においては、ケーブルテレビジョンネットワーク2、ISDN3、およびアナログ電話回線4が用いられている。

【0021】すなわち、例えば、サーバ1-1は、情報を、ケーブルテレビジョンネットワーク2を介してケーブルテレビジョンセンタ2-1あるいは2-2に提供する。ケーブルテレビジョンセンタ2-1は、提供された情報を、そのケーブルテレビジョンシステムに加入している家庭5-1、5-2に提供する。また、ケーブルテレビジョンセンタ2-2は、同様に、そのケーブルテレビジョンシステムに加入している家庭5-1、5-3、5-4に情報を提供する。

【0022】サーバ1-1はまた、ISDN3あるいはアナログ電話回線4を介して、情報を提供している。従って、家庭5-1乃至5-6は、ISDN3またはアナログ電話回線4を介してサーバ1-1にアクセスし、情報の提供を受けることができる。

【0023】サーバ1-2も、サーバ1-1と同様に、家庭5-1乃至5-6に対して、各種の情報を提供している。

【0024】なお、このような映像伝送システムとしては、伝送チャンネルの幹線を光ファイバで構成し、300乃至500世帯をカバーする光ファイバノードを設置して、光ファイバノードから、各家庭には、同軸ケーブルを介して情報を伝送するHFC（Hybrid Fiber Coax）を用いることもできる。あるいはまた、家庭のごく近くの、24世帯程度をカバーするペDESTAL（中継装置）まで光ファイバで情報を伝送し、ペDESTALから同軸ケーブルで、各家庭に情報を提供するFTTC（Fiber To The Curb）と呼ばれる方式、あるいは各家庭まで光ファイバで情報を伝送するFTTH（Fiber To The Home）などとすることもできる。

【0025】図1の実施の形態の場合、ネットワークの伝送容量は、大きい方から、ケーブルテレビジョンネットワーク2、ISDN3、アナログ電話回線4の順番となっている。従って、ケーブルテレビジョンネットワーク2を利用することで、最も高画質で、高速の動画をリアルタイムで受信することができる。また、ISDN3を利用した場合においては、ケーブルテレビジョンネットワーク2ほど迅速ではないが、一般的な動画をリアルタイムで受信することができる。しかしながら、あまり高速に変化する動画をリアルタイムで受信することはできない。これに対して、アナログ電話回線4を利用する場合においては、その伝送容量が小さいため、動画を受信することができず、静止面だけを受信することができる。音声信号は、いずれのネットワークを利用す

る場合においても、リアルタイムで受信することができる。

【0026】図2は、家庭5-1に設けられている情報受信システムの構成例を表している。なお、その図示は省略するが、その他の家庭5-2乃至5-6においても、基本的に同様の情報処理システムが備えられている。

【0027】ホームサーバ11は、ケーブルテレビジョンネットワーク2、ISDN3、アナログ電話回線4に接続されており、少なくともいずれか1つのネットワークをパーソナルコンピュータ12-1、12-2、STB16（情報処理手段）、または電話機18に接続するようになされている。

【0028】パーソナルコンピュータ12-1には、キーボード14-1とマウス15-1が接続されており、各種の指令が入力されるようになされている。また、ディスプレイ13-1に、パーソナルコンピュータ12-1からの画像が、適宜出力され、表示されるようになされている。

【0029】同様に、パーソナルコンピュータ12-2には、キーボード14-2とマウス15-2、さらにディスプレイ13-2が接続されている。

【0030】STB16は、ホームサーバ11から供給された画像データを受信し、これを復調して、テレビジョン受像機17に出力し、表示させるようになされている。なお、STB16は、ユーザのリクエストに対応して番組を提供するビデオオンデマンド（VOD）サービスにも利用される。また、電話機18は、ホームサーバ11を介して、通話を行うことができるようになされている。

【0031】図3は、ホームサーバ11の内部の構成例を表している。CPU31は、ROM32に記憶されているプログラムに従って、各種の処理を実行するようになされている。RAM33には、CPU31が各種の指令を実行する上において必要なデータなどが、適宜記憶される。ハードディスクドライブ34は、内蔵するハードディスクに対して、情報を記録再生する。

【0032】また、ホームサーバ11は、各種のインタフェースを有している。ネットワークインタフェース35乃至37は、それぞれケーブルテレビジョンネットワーク2、ISDN3、アナログ電話回線4との間において、データを授受するときインタフェース処理を行う。STBインタフェース38は、STB16との間におけるATM（Asynchronous Transfer Mode）モードのインタフェース処理を実行する。コンピュータインタフェース39は、パーソナルコンピュータ12-1に接続され、Ethernetのインタフェース処理を行う。コンピュータインタフェース40は、パーソナルコンピュータ12-2に接続され、そのパーソナルコンピュータに専用のプロトコルに対応するインタフェース処理を実

行する。電話機インタフェース41は、電話機18とのインタフェース処理を実行する。

【0033】図4は、パーソナルコンピュータ12-1の内部の構成例を表している。CPU71は、ROM72に記憶されているプログラムに従って、各種の処理を実行する。RAM73には、CPU71が各種の処理を実行する上において必要なデータなどが、適宜記憶される。ハードディスクドライブ74は、CPU71に制御され、各種のデータやプログラムなどを内蔵するハードディスクに記録再生する。フロッピーディスクドライブ75は、フロッピーディスクに対する記録再生処理を実行する。

【0034】ホームサーバインタフェース76は、ホームサーバ11との間におけるインタフェース処理を実行する。キーボードインタフェース77とマウスインタフェース78は、それぞれキーボード14-1とマウス15-1との間におけるインタフェース処理を実行する。また、ディスプレイインタフェース79は、ディスプレイ13-1に対するインタフェース処理を実行する。

【0035】なお、パーソナルコンピュータ12-2も、パーソナルコンピュータ12-1と同様に構成されている。

【0036】図5は、本発明の情報処理装置の一実施の形態であるSTB16の内部の構成例を表している。CPU51（処理手段）は、フラッシュROMボード52に実装されているフラッシュROM91（図6）に記憶されているプログラムに従って、各種の処理を実行する。RAM53には、CPU51が各種の処理を実行する上において必要なデータなどが、適宜記憶される。グラフィックスコントローラ54は、CPU51から供給されたグラフィックスデータをテレビジョン受像機17に出力し、表示させる。MPEG（Moving Picture Experts Group）2ビデオデコーダ55とMPEGオーディオデコーダ56は、ネットワークインタフェースカード57（受信手段）を介して、ホームサーバ11より供給されたビデオデータとオーディオデータを、それぞれMPEG2またはMPEG方式でデコードし、テレビジョン受像機17に出力し、表示または放音させる。

【0037】ネットワークインタフェースカード57は、ホームサーバ11との間に接続され、ホームサーバ11に対するインタフェース処理を実行する。スマートカードインタフェース58は、スマートカード59との間におけるインタフェース処理を実行する。スマートカード59は、STB16に対して、適宜、着脱される。このスマートカード59には、その使用者の個人的な情報、データをスクランブルするためのキー情報、あるいは課金情報などが記憶される。

【0038】ジョイスティックインタフェース60は、STB16に接続されるゲーム機61との間のインタフェース処理を実行する。IRリモートコマンドインタフ

ェース62は、リモートコマンド63からの赤外線（IR）信号を受信し、その指令をCPU51に出力する処理を実行する。

【0039】フラッシュROMボード52に実装されているフラッシュROM91（記憶手段）には、ネットワークインタフェースカード57を介して供給されたデータを処理するためのプログラムの他、装置の起動時にCPU51によって実行され、RAM53の構成の設定やゲーム機61などの外部装置とのデータ授受の制御を行う基本プログラムであるBIOS（CPU51で実行されるOSの内、ハードウェアに依存する制御プログラム群）が記憶されている。フラッシュROMボード52内のフラッシュROM91は、電氣的に書き換え（消去と書込）が可能な不揮発性のメモリであり、その記憶内容を変更することができ、電源を切った後も記憶内容を保持し続ける。このように電氣的に書き換えが可能であるフラッシュROM91を利用することにより、必要に応じてBIOSを更新することができる。新しいBIOSは、サーバ1-1またはサーバ1-2によって送信され、所定の通信回線およびホームサーバ11を介してSTB16に供給され、STB16のネットワークインタフェースカード57で受信される。

【0040】図6は、フラッシュROMボード52の構成例を示している。フラッシュROM91は、プログラムなどのデータを記憶する、書換可能な不揮発性の記憶素子であり、2つのバンク（バンク91a（主領域）とバンク91b（予備領域））として使用される。これらのバンクA（バンク91a）とバンクB（バンク91b）は、CPU51によって、同じ論理アドレス空間として使用される。即ち、図7（a）に示すように、同じ論理アドレス空間に、2つの物理アドレス空間（バンク91aとバンク91b）が割り当てられる。そして、バンク切替回路92のバンク切り替えに応じて、バンク91aに記憶されている内容（プログラムなどのデータ）（図7（b））またはバンク91bに記憶されている内容（図7（c））が読み出される。プログラムなどのデータを記憶させる（書き込む）場合においても、データは、バンク切替回路92のバンク切り替えに応じて、バンク91aまたはバンク91bに記憶される（書き込まれる）。すなわち、バンク切替回路92は、CPU51からアドレスされる論理アドレスを実際のフラッシュROM91の（バンク91aまたはバンク91bの）物理アドレスに変換するための回路である。

【0041】フラッシュROM91のバンクAは、現行の新しいBIOSなどのプログラムを記憶し、バンクBは、更新前の（旧バージョンの）BIOSなどのプログラムを記憶、保存するようになっている。また、フラッシュROM91の一部は、共通領域91cとして使用される。この共通領域91cは、バンクの切り替えに関係なくアクセスすることができる。即ち、バンクの切り

替えに関係なく、所定の論理アドレスで、同じ記憶領域（物理アドレス）が指定される。この領域には、装置が起動したときに最初に読み込まれるデータや、BIOS更新用のプログラムが記憶され、その内容は書き換えられないようになっている。

【0042】バンク切替回路92は、ハードウェアロジック回路によって構成され、バンク状態レジスタ93が保持する値に応じて、フラッシュROM91におけるバンクをバンクAまたはバンクBに切り替え、アドレスバスを介して供給されたアドレスの記憶領域に対して、プログラムなどのデータの記憶または読み出しを行うようになっている。なお、記憶されるデータおよび読み出されたデータは、データバスを介して入力または出力される。

【0043】バンク状態レジスタ93は、バンクAおよびバンクBのうち、使用するバンクに対応する値を保持するようになっている。この値は、データバスを介してCPU51より供給される。なお、BIOSなどの通常使用されるプログラムはバンクAに記憶されているので、BIOSの更新時以外においては、バンク状態レジスタ93は、バンクAに対応する値を保持している。また、本実施の形態であるSTB16の電源が投入されたとき、バンク状態レジスタ93は、バンクAに対応する値にリセットされるようになっている。

【0044】このように、フラッシュROMボード52においては、バンク状態レジスタ93の保持する値に応じて、フラッシュROM91のバンクAまたはバンクBが使用され、BIOSの更新時以外は、主に、バンクAからのデータの読み出しが行われる。

【0045】次に、図8のフローチャートと図9乃至図17の概念図を参照して、フラッシュROMボード52のBIOSの更新時の、本実施の形態の動作について説明する。なお、本実施の形態においては、フロッピーディスクなどの携帯用記録媒体を駆動する装置を設けていないので、所定の通信回線を介して、新しいBIOSをネットワークインタフェースカード57で取得し、BIOSを更新するようになっている。

【0046】リモートコマンド63等が操作されBIOSの更新の旨の指示を受けるとCPU51は共通領域91cに格納された更新用プログラムに基づいて、以下の処理を開始する。

【0047】最初にステップS1において、図9に示すように、CPU51は、フラッシュROM91のバンクA（バンク91a）に記憶されている更新すべき現行バージョンのBIOSを読み出し、RAM53に一旦記憶（退避）させる。

【0048】次にステップS2において、CPU51は、バンク状態レジスタ93の値を変更し、バンクをバンクBに切り替える。

【0049】ステップS3において、図10に示すよう



に、CPU51は、フラッシュROM91のバンクB（バンク91b）の旧バージョンのBIOSを消去し、ステップS4において、図11に示すように、RAM53から現行バージョンのBIOSを読み出し、バンクB（バンク91b）に記憶させる。

【0050】次に、ステップS5において、図12に示すように、CPU51は、RAM53の現行BIOSと、フラッシュROM91のバンクB（バンク91b）の現行BIOSを照合し、ステップS6において、両者が一致するか否かを判断し、一致しないと判断した場合、ステップS7で、バンク状態レジスタ93を、バンクAに切り替えた後、ステップS1に戻り、再度、フラッシュROM91のバンクA（バンク91a）に記憶されているBIOSを、RAM53を介してバンクB（バンク91b）に移動させる動作を行う。

【0051】一方、ステップS6において、RAM53のBIOSと、フラッシュROM91のバンクB（バンク91b）のBIOSが一致したと判断された場合、ステップS8に進み、CPU51は、バンク状態レジスタ93の値を変更し、バンクをバンクAに切り替える。

【0052】次に、ステップS9において、ネットワークインタフェースカード57は、所定の通信回線およびホームサーバ11を介して供給される新しいBIOSを受信し、図13に示すように、CPU51は、ネットワークインタフェースカード57が受信した新しいBIOSをRAM53に記憶させる。

【0053】そして、ステップS10において、図14に示すように、CPU51は、フラッシュROM91のバンクAの内容（現行BIOS）を消去した後、ステップS11において、図15に示すように、RAM53に記憶されている、新しいBIOSをフラッシュROM91のバンクA（バンク91a）に記憶させる。

【0054】次に、ステップS12において、図16に示すように、CPU51は、RAM53のBIOSと、フラッシュROM91のバンクA（バンク91a）のBIOSを照合し、ステップS13において、両者が一致するか否かを判断し、一致しないと判断した場合、ステップS9に戻り、再度、RAM53に記憶されている新しいBIOSを、フラッシュROM91のバンクA（バンク91a）に移動させる動作を行う。

【0055】一方、ステップS13において、RAM53のBIOSと、フラッシュROM91のバンクA（バンク91a）のBIOSが一致したと判断された場合、BIOSの更新の処理を終了する。その結果、図17に示す状態で更新処理が終了される。

【0056】このように、ステップS1乃至ステップS7において、フラッシュROM91のバンクA（バンク91a）のBIOSをバンクB（バンク91b）に移動し、ステップS8乃至ステップS13において、所定の通信回線を介して供給された新しいBIOSをバンクA

（バンク91a）に記憶させて、BIOSの更新を行う。このようにして更新を行った後、新しいBIOSが良好に動作しない場合、上述のステップS1乃至ステップS7とは逆の動作を行い、フラッシュROM91のバンクB（バンク91b）のBIOSを、RAM53を介してバンクA（バンク91a）に移動することにより、元のBIOSを復帰させることができる。

【0057】なお、上記実施の形態においては、複数のバンクを有するフラッシュROM91を使用したか、フラッシュROM91の代わりに、単一の記憶領域を有するフラッシュROMを複数個使用することもできる。

【0058】上記実施の形態においては、BIOSの更新を行っているが、他のプログラム（例えばOS）の更新を行うようにすることもできる。また、フラッシュROMは、ホームサーバ11、パーソナルコンピュータ12-1、12-2などにおいても用いることができる。

【0059】

【発明の効果】以上の如く、請求項1に記載の情報処理装置および請求項7に記載のプログラム更新方法によれば、主領域から読み出した現行の基本プログラムを予備領域に複写し、更新プログラムに基づいて、新たな基本プログラムを主領域に書き込むようにしたので、フロッピーディスクドライブなどの記録装置を有していない装置においても、元のBIOSを予備の記憶領域に退避した後、BIOSの更新を行うことができる。従って、BIOSの書き込みに失敗が生じた場合でも、即座に元の状態に復帰させることができ、操作の手違い等により元のBIOSを失ってしまう事態を未然に防止することができる。

【0060】また、請求項8に記載のプログラム更新方法によれば、主領域から読み出した現行の基本プログラム、または外部から供給された新たなプログラムを、一時記憶領域と予備領域に書き込み、両者の照合を行うようにしたので、より確実に、更新処理を行うことができる。

【0061】請求項9に記載の情報処理システムによれば、主領域から読み出した現行の基本プログラムを予備領域に複写した後、伝送チャンネルからの新たな基本プログラムを主領域に書き込むようにしたので、フロッピーディスクドライブなどの記録装置を有していない装置においても、元のBIOSを予備の記憶領域に退避した後、伝送チャンネル等のネットワークを介して新しいBIOSを取得し、BIOSの更新を行うことができる。

【図面の簡単な説明】

【図1】本発明の情報受信装置が適用された情報提供システムの構成を示す図である。

【図2】図1の家庭5-1における情報処理装置の構成を示す図である。

【図3】図2のホームサーバ11の内部の構成例を示すブロック図である。

【図4】図2のパーソナルコンピュータ12-1の内部の構成例を示すブロック図である。

【図5】図2のSTB16の内部の構成例を示すブロック図である。

【図6】図5のフラッシュROM91の内部の構成例を示すブロック図である。

【図7】図5のフラッシュROM91における論理アドレス空間と物理アドレス空間の関係を説明する図である。

【図8】BIOS更新時のSTB16の動作を説明するフローチャートである。

【図9】BIOS更新時のSTB16の動作を説明する概念図である。

【図10】BIOS更新時のSTB16の動作を説明する概念図である。

【図11】BIOS更新時のSTB16の動作を説明する概念図である。

【図12】BIOS更新時のSTB16の動作を説明する概念図である。

【図13】BIOS更新時のSTB16の動作を説明する概念図である。

【図14】BIOS更新時のSTB16の動作を説明する概念図である。

【図15】BIOS更新時のSTB16の動作を説明する概念図である。

【図16】BIOS更新時のSTB16の動作を説明する概念図である。

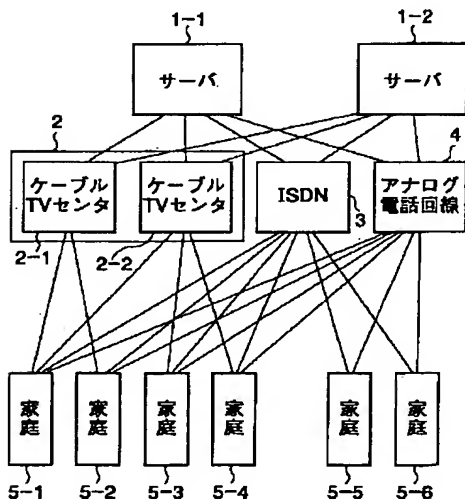
【図17】BIOS更新時のSTB16の動作を説明する概念図である。

【図18】記録装置を有する情報処理装置の一例を示すブロック図である。

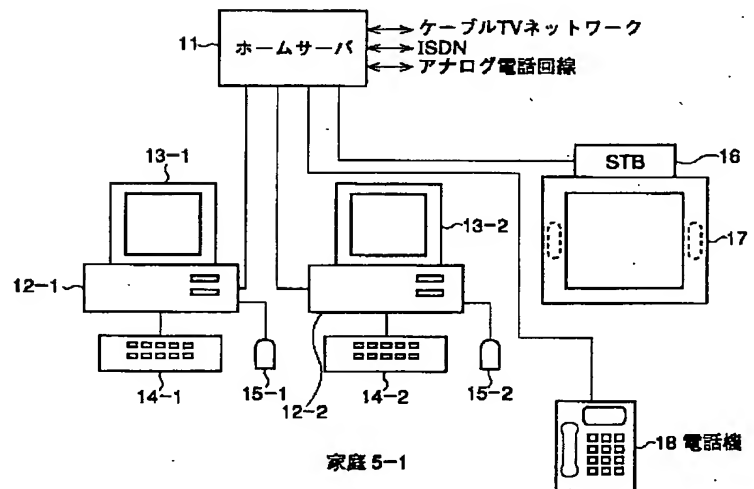
【符号の説明】

1-1, 1-2 サーバ, 2 ケーブルテレビジョンネットワーク, 2-1, 2-2 ケーブルテレビジョンセンタ, 3 ISDN, 4 アナログ電話回線, 5-1乃至5-6 家庭, 11 ホームサーバ, 12-1, 12-2 パーソナルコンピュータ, 13-1, 13-2 ディスプレイ, 14-1, 14-2 キーボード, 15-1, 15-2 マウス, 16 セットトップボックス, 17 テレビジョン受像機, 18 電話機, 51 CPU, 52 フラッシュROMボード, 53 RAM, 57 ネットワークインタフェースカード, 91 フラッシュROM, 92 バンク切替回路, 93 バンク状態レジスタ

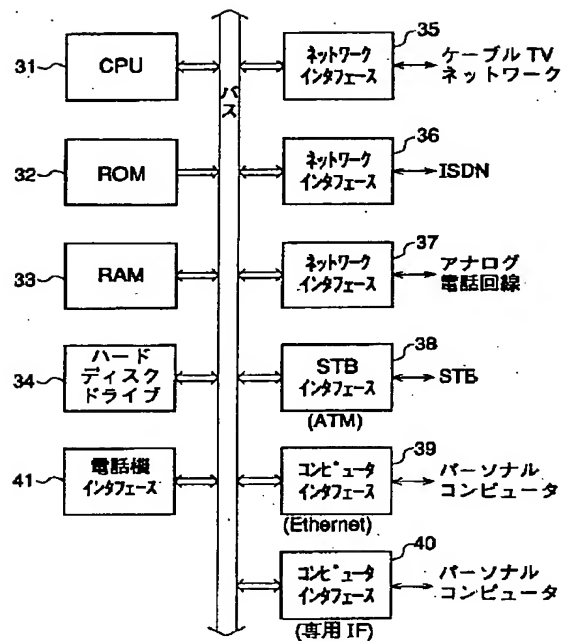
【図1】



【図2】

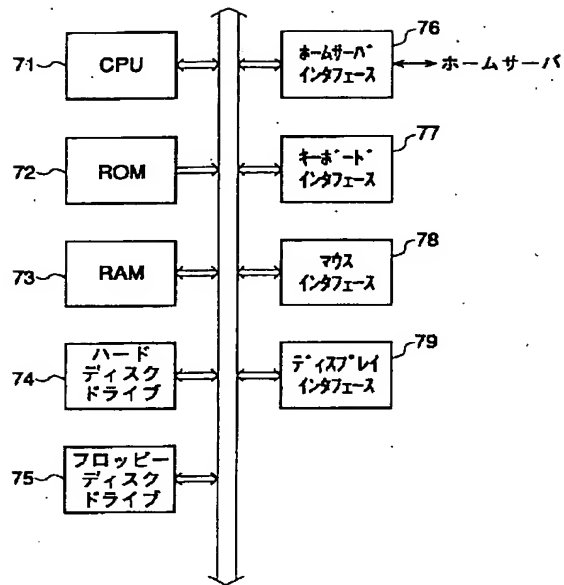


【図3】



ホームサーバ 11

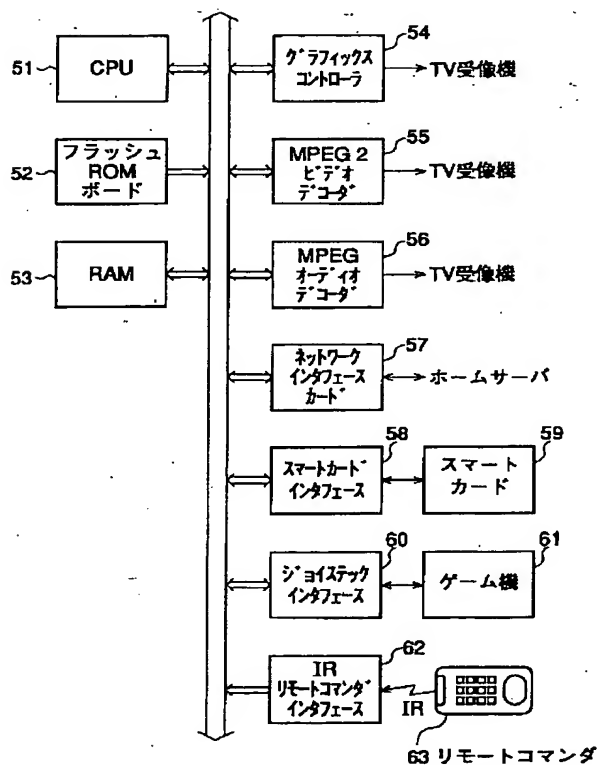
【図4】



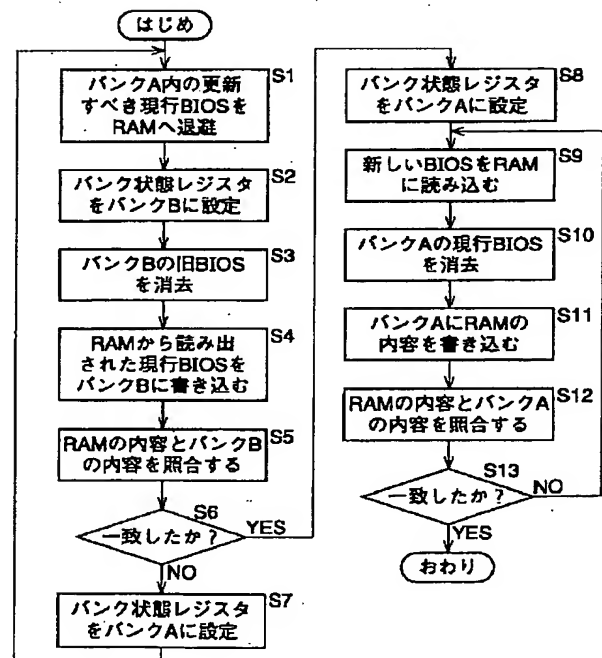
パーソナルコンピュータ 12-1

【図8】

【図5】

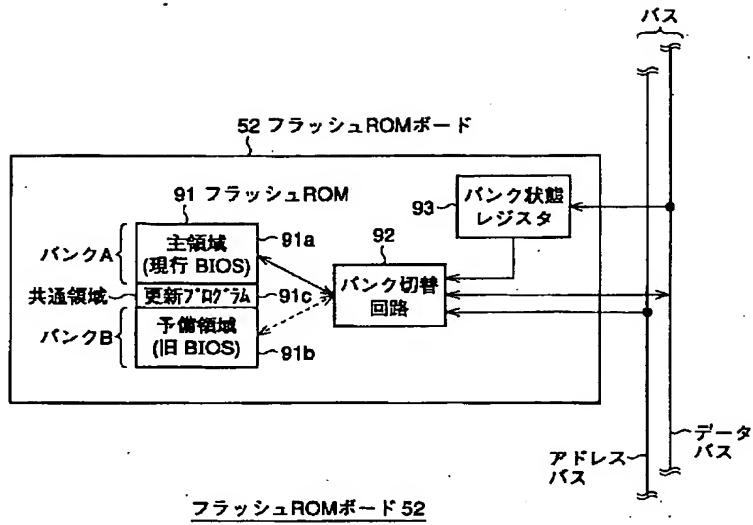


STB 16

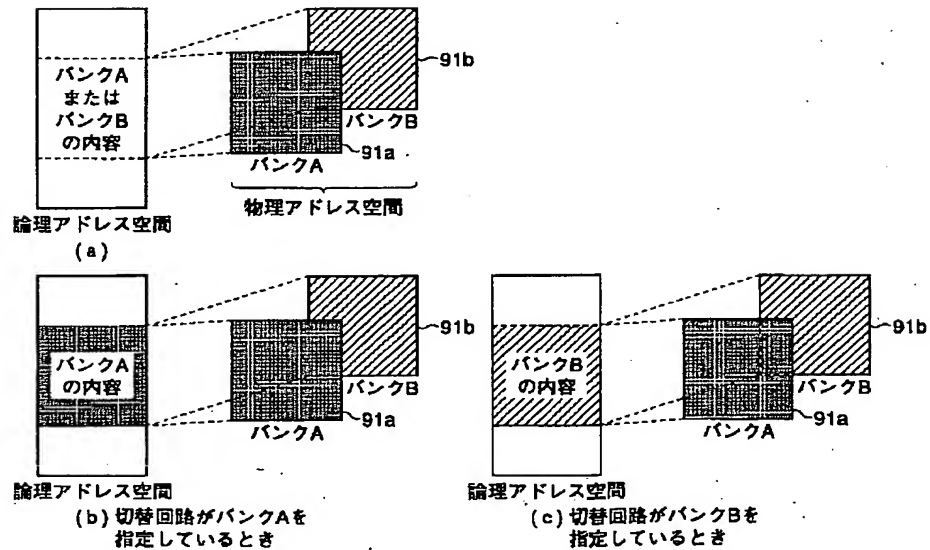


BIOSの更新手順

【図6】



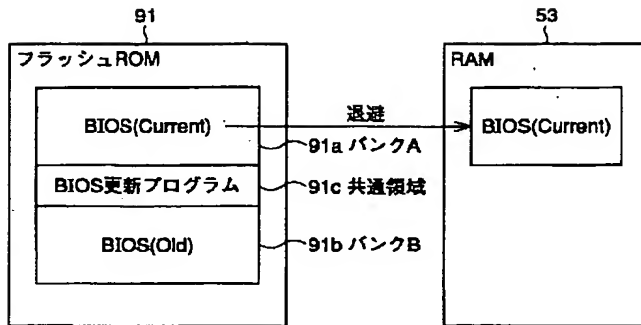
【図7】



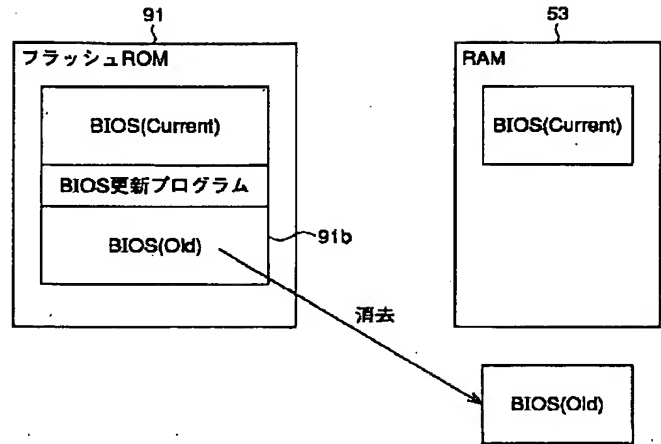
【図9】

【図10】

[ステップ S1]

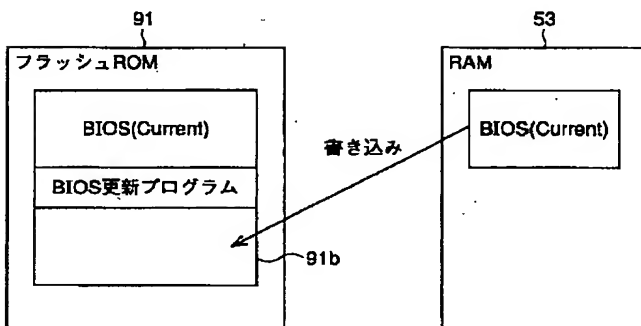


[ステップ S3]



【図11】

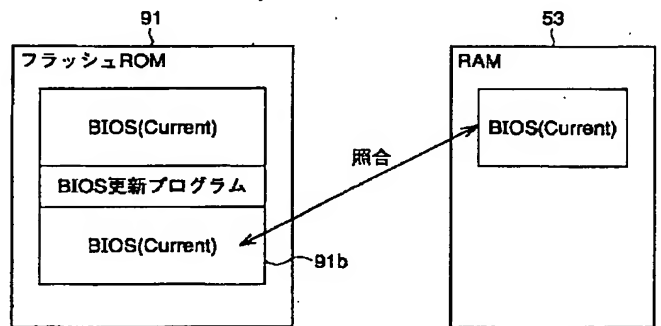
[ステップ S4]



【図13】

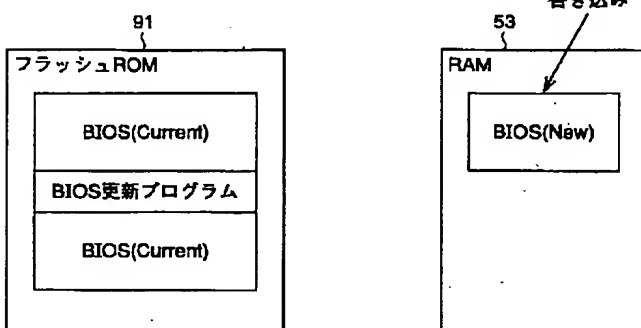
【図12】

[ステップ S5]

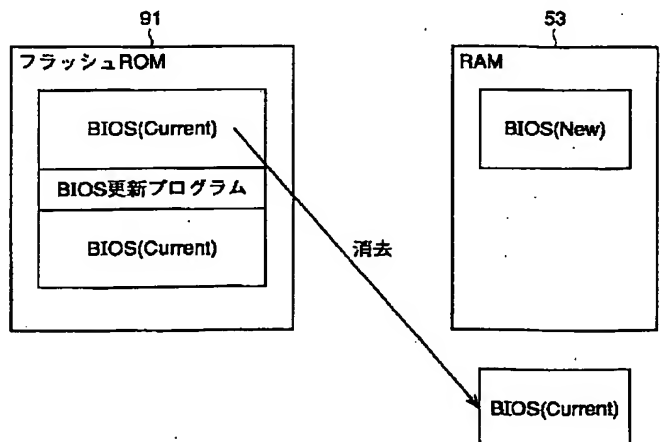


【図14】

[ステップ S9]

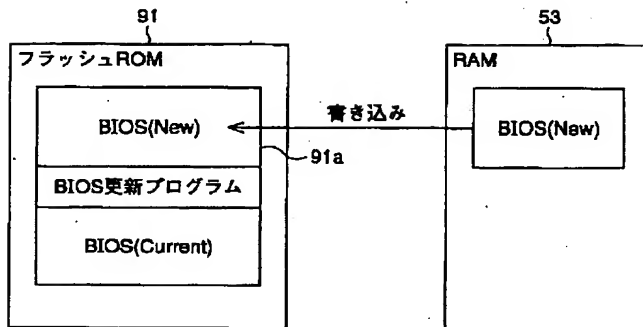


[ステップ S10]



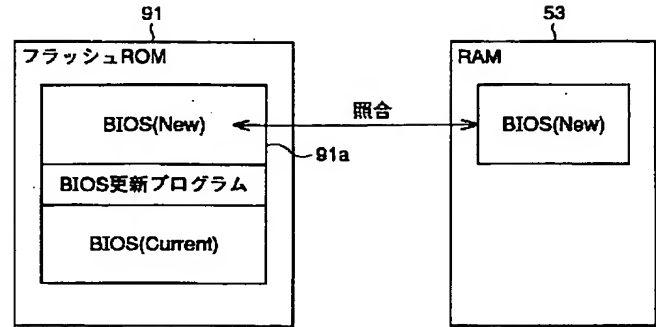
【図15】

[ステップ S11]



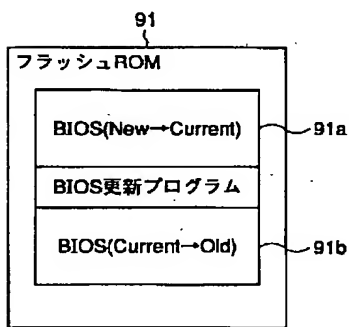
【図16】

[ステップ S12]

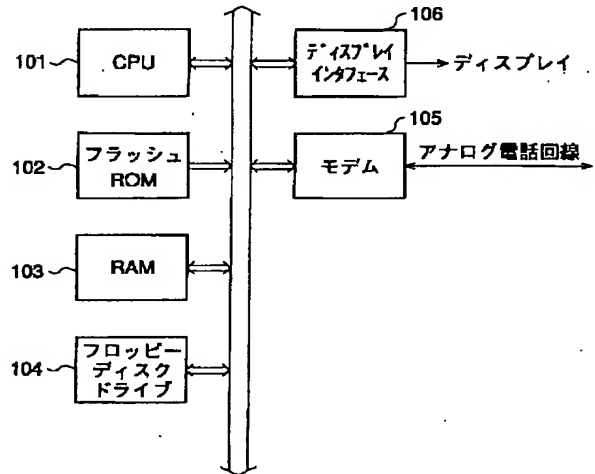


【図17】

[更新処理終了]



【図18】



情報処理装置の一例